

ИСТОРИЯ РАЗВИТИЯ ОТЕЧЕСТВЕННЫХ СИСТЕМ ДИСКРЕТНОГО МОДЕЛИРОВАНИЯ ЦИФРОВОЙ АППАРАТУРЫ

Аркадий Константинович Поляков¹, Игорь Иванович Ладыгин²
¹НИУ «МЭИ», Москва, Российская Федерация, Poliakovak@rambler.ru
²НИУ «МЭИ», Москва, Российская Федерация, Ladyginii@mail.ru

Аннотация – Рассматривается история развития отечественных систем дискретного моделирования цифровой аппаратуры и ЭВМ. От начального, исследовательского этапа с кодированием описаний моделей в машинных кодах, до систем моделирования на базе стандартных языков описания аппаратуры типа VHDL, VERILOG и SystemVerilog.

Ключевые слова – отечественные системы моделирования ЭВМ, языки моделирования аппаратуры.

I. ВВЕДЕНИЕ

Под системами дискретного моделирования цифровой аппаратуры в статье подразумеваются системы программирования, реализующие языки описания и дискретного моделирования цифровой аппаратуры (ЦА). Они являются важной частью систем автоматизации проектирования (САПР) электронной аппаратуры и больших интегральных схем (БИС), обеспечивая процесс анализа проектных решений.

Проектирование ЦА можно представить последовательностью ряда этапов.

1. Системный (структурный), на котором рассматриваются варианты структуры проектируемой системы, состав устройств и их функции. Моделируемая система представляется как система массового обслуживания.

2. Функционально-алгоритмический, на котором определяется алгоритм функционирования выбранного варианта системы и его структура с точностью до функциональных узлов-регистров и памяти. Моделируемая система представляется на уровне регистров и межрегистровых передач информации (RTL, Register Transfer Level).

3. Логический, на котором разрабатываются и проверяются логические схемы проектируемой системы.

4. Конструкторский, на котором реализуется размещение схемы по конструктивам, трассировка связей элементов, выпуск документации на производство.

Основное внимание в статье уделено отечественным системам моделирования, доведенным до стадии практической реализации и использовавшимся на этапах 2 и 3.

Историю развития систем дискретного моделирования цифровой аппаратуры можно разбить на несколько этапов.

1. Анализ методов организации моделирующих программ, способов кодирования описаний моделей в машинных кодах. Начальный, исследовательский этап (1956-1962 гг.).

2. Создание первых отечественных языков и систем моделирования (1963-1969 гг.).

3. Развитие пакетных и диалоговых систем моделирования (1970-1990 гг.).

4. Создание систем моделирования на первых ПЭВМ (1990-2000 гг.).

5. Современные разработки на базе стандартных языков описания аппаратуры (HDL) VHDL и VERILOG.

II. АНАЛИЗ МЕТОДОВ ОРГАНИЗАЦИИ МОДЕЛИРУЮЩИХ ПРОГРАММ, СПОСОБОВ КОДИРОВАНИЯ ОПИСАНИЙ МОДЕЛЕЙ В МАШИННЫХ КОДАХ

В конце 50-х годов прошлого столетия был получен ряд результатов, позволявших создавать САПР цифровых автоматов и вычислительных машин. Работы по автоматизации проектирования вычислительных машин были направлены, во-первых, на проектирование функциональных и логических схем, во-вторых, на конструирование печатных плат и оформление конструкторской документации.

История САПР вычислительных машин в нашей стране тесно связана с такими организациями как ИТМиВТ, ИНЭУМ, НИИ автоматической аппаратуры (НИИАА), НИИ микроэлектроники (НИИМЭ), ЦКБ «Алмаз», ведущими инженерными вузами (МЭИ, МВТУ, ЛЭТИ и др.). Создатели первых отечественных ЭВМ в 50-60-е годы прошлого столетия естественно стали одними из первых разработчиков средств автоматизации проектирования и моделирования цифровых систем и ЭВМ в том числе.

Анатолий Иванович Китов, например, отмечал, что при создании его коллективом ламповой ЭВМ М-100 для отладки программного обеспечения они использовали ЭВМ «Стрела» и программу, моделирующую машину М-100 на уровне команд. Для оценки вариантов структуры ЭВМ академик С.А. Лебедев в 1960 г. предложил А.Н. Томилину разработать модель крупноблочной структуры ЭВМ [1]. Однако следует отметить, что при создании этих моделей еще не использовались средства автоматизации их разработки. Первые отечественные исследовательские средства автоматизации моделирования базировались на кодировании информации в машинном (восьмеричном коде).

Одной из первых систем, пригодных для использования на этапе системного проектирования ЭВМ была система М-1, реализованная в МЭИ Г.М. Кольнером в 1962 г. на машине М-20. Идеология системы М-1 базировалась на идеологии языка GPSS, созданного Дж. Гордоном в США [2]. Пользователю предлагался набор блоков-аналогов блоков GPSS (seize, release, advance и т.п.). Вся информация о блоке и схеме их связей – тип блока, номер блока, номер блока-последователя и т.п. кодировались в восьмеричном коде. Сообщения (транзакты) передвигались по структуре моделируемой системы, представленной схемой из блоков и обслуживались в них. Соответственно, каждое сообщение отображалось в моделирующей программе стандартной структурой данных, т.е. имело свой номер, номер блока в котором оно находится и номер блока-последователя, время начала очередного этапа обслуживания, приоритет и несколько других параметров. Программа моделирования по событиям в списке сообщений находила сообщение с ближайшим временем события, текущее модельное время становилось равным этому значению. По номеру блока-последователя данного блока программа выходила на его тип и по типу – на функцию блока, выполняла эту функцию и меняла в сообщении время его будущего продвижения и номер блока в котором оно находится. С помощью системы М1 исследовались варианты организации структур машин с высоким уровнем параллелизма. Развитие этого направления работ вылилось в последующем в создание отечественных языков и систем моделирования дискретных систем: СЭНГ (Л.А. Калинин, 1969 г.), АЛСИМ (Литвинов, 1973 г.), НЕДИС (В.В. Гусев, 1975 г.), СКИФ, МПЛ/1, СТРУМ, КИМДС и др. Но анализ этого направления не является предметом рассмотрения данной статьи.

Такого же исследовательского типа были разработанные в МЭИ на базе публикаций Т.А. Connly [3] на машине М-50 программы моделирования логических схем, описания которых кодировались в восьмеричном коде и набивались на перфокартах. Программа интерпретирующего типа реализовала алгоритм моделирования по событиям (В. Фальк и И. Катарова). Программа компилирующего типа реализовала алгоритм моделирования по интервалам времени (А. Поляков и С. Петровский).

III. СОЗДАНИЕ ПЕРВЫХ ОТЕЧЕСТВЕННЫХ ЯЗЫКОВ И СИСТЕМ МОДЕЛИРОВАНИЯ

Упомянутая ранее модель крупноблочной структуры ЭВМ [1] в 1964-1966 гг. была усовершенствована сотрудниками ИТМ и ВТ Б.А. Бабаяном, Е.А. Кривошеевым и А.М. Степановым и использовалась С.А. Лебедевым наряду с моделью, отражавшей только временные соотношения, при выборе структуры ЭВМ БЭСМ-6.

Первой широко известной публикацией по отечественным языкам и системам моделирования ЦА был вышедший в 1968 г. сборник статей под редакцией Н.Я. Матюхина [4]. В сборнике были представлены: язык функционально-логического (регистрового, RTL) уровня моделирования МОДИС (Н.Я. Матюхин, А.М. Енгальчев, Е.И. Гурвич и др.), логического уровня МОЛК (Е.И. Гурвич, Т.П. Куликовская и др.) и ЛМ (В.Н. Лошаков и Г.Г. Былова). На созданной под руководством Н.Я. Матюхина первой в СССР системе автоматического проектирования (АСП-1), в которую входил МОДИС, в 1968-1969 гг. было проведено комплексное проектирование ЭВМ третьего поколения. Кроме того, в 1968 г. вышел сборник докладов межвузовской конференции по моделированию [5, 6], где рассматривался универсальный язык и система моделирования ЭВМ Автокод М (А.К. Поляков, М. Кава, Г. Кацаров и др.). Система Автокод М использовалась при проектировании ЭВМ М4000 в ИНЭУМ [7] и в других организациях, а также в ряде отечественных и зарубежных ВУЗов. В учебном пособии А.Г. Шигина [8] этот язык использовался для функционального описания схем. В середине 60-х годов на кафедре вычислительной техники МЭИ Н.Я. Матюхиным и А.Г. Шигиным был организован один из первых в стране научный семинар по автоматизации проектирования ЦВМ, на который с докладами приезжали ведущие ученые в этой области из Ленинграда, Киева, Минска и других городов СССР. За работы в области автоматизации проектирования ЦВМ, которые выставлялись в качестве экспонатов на выставке ВДНХ, сотрудники кафедры ВТ МЭИ были удостоены медалей.

Первые отечественные языки описания аппаратуры на уровне регистровых передач (RTL) строились как расширения Алгол-60 за счет введения в язык операций над двоичными переменными и их полями, введения концепции модельного времени и (в Автокоде М) параллелизма процессов. Язык МОДИС был реализован на ЭВМ М-220, Автокод М – на ЭВМ Минск-22. Описание устройства на МОДИС состояло

из описаний регистров, представленных как автоматы Мура. Новое состояние автомата S_{t+1} является функцией старого состояния S_t и входных сигналов X . Выходной сигнал Y является функцией старого состояния автомата.

$$S_{t+1} = \Phi(X, S_t) \quad Y = f(S_t)$$

В моделирующей программе выделяется как минимум два массива ячеек памяти под хранение старых и новых значений состояния памяти автоматов. И только после того, как моделирующей программой определяются новые состояния всех автоматов, происходит увеличение модельного времени на 1 и замена старых состояний новыми (метод моделирования по интервалам времени). В МОДИС для проверки неизменности новых состояний при втором просчете выделялось не два, а три массива памяти.

В качестве примера ниже в таблице 1 приводится описание накапливающего 16-ти разрядного сумматора RGSM (RGSM) с входом A и управляющими сигналами: тактовым C (C), асинхронного сброса СБР (R), сложения СЛ (ADD) и вычитания ВЫЧ (SUB) на языках моделирования МОДИС и Автокод M и для сравнения – на современных HDL VHDL и Verilog. В обоих отечественных языках применяется кириллица для обозначения ключевых слов (в тексте примеров они выделены жирным шрифтом).

Таблица 1
Примеры функциональных описаний накапливающего сумматора

Язык описания	Пример	Примечания
Модис	<pre> RGSM[1:16]:= если ((СЛ +ВЫЧ)>1) то ? иначе если (СБР) то (0) иначе если (С * СЛ) то (RGSM[1:16]+ A[1:15]) иначе если (С * ВЫЧ) то (RGSM[1:16]- A[1:15]) иначе (RGSM[1:16]); </pre>	<p>При одновременном поступлении сигналов сложения и вычитания (СЛ+ВЫЧ)>1 происходит останов моделирования</p>
Автокод М	<pre> память двоичный RGSM[16]; двоичный A[15]:двоичный C,СЛ,ВЫЧ,СБР; -- после раздела объявлений идут операторы описания схемы RGSM := если СБР=1 то 0 иначе если С ^ СЛ то RGSM+A иначе если С ^ ВЫЧ то RGSM-A иначе RGSM; </pre>	<p>Описатель вида память указывает на выделение двух ячеек под переменную. RGSM. Смена значений происходит только после вычисления всех новых значений переменных вида память, т.е. в конце такта модельного времени</p>
VHDL	<pre> library IEEE;use IEEE.STD_LOGIC_1164.ALL; use IEEE.numeric_std.all; Signal RGSM: unsigned(1 to 16); signal A: unsigned(1 to 15) ; Signal R, C,ADD,SUB,C: std_logic ; ----- process (C,R) begin if R='1' then RGSM<= (others=>'0'); elsif C'event and C='1' then if ADD='1' then RGSM<= RGSM+A ; else if SUB ='1' then RGSM<=RGSM-A ; end if; end if; end if; end process; </pre>	<p>Сброс RGSM асинхронный, а операции сложения и вычитания происходят по фронту синхросигнала C. Для контроля запрещенных комбинаций входных сигналов можно добавить оператор assert. Assert (ADD and SUB)='0' report "RGSM ERROR" severity Failure;</p>
VERILOG	<pre> reg [1:16] RGSM; wire [1:15]A; wire C,R,ADD,SUB; //////////////////////////////////// always @(posedge C or posedge R) begin if (R) RGSM<=0; else if (ADD) RGSM<= RGSM+A; else if (SUB) RGSM<= RGSM-A; end </pre>	<p>Пришлось описать накапливающий сумматор RGSM оператором процесса с условным оператором</p>

В МОДИС оператор присваивания ($:=$) присваивает переменной в левой части значение условного выражения в его правой части не сразу, а в конце такта модельного времени. В явном виде задержки элементов и сигналов не учитываются.

В Автокоде М организацию поинтервального моделирования пользователю приходится создавать самому, представляя модель как процесс с разделами, помеченными метками типа ВВОД, СХЕМА и т.д. В конце раздела СХЕМА приходится использовать системный оператор ТАКТ, меняющий старые состояния автоматов (переменных вида ПАМЯТЬ) на новые. После его выполнения можно увеличивать значение времени на 1 и передавать управление на метку ВВОД, где задаются новые значения входных сигналов схемы...

Язык Автокод М отличался от МОДИС в первую очередь введением концепции параллельных процессов, операторов задержки и ожидания и их сокращенных форм. Ниже перечислены ключевые слова операторов и их VHDL аналоги. Оператор **параллельно** содержит список меток операторов, с которых начиналось описание соответствующих процессов, оператор **финиш (wait)** завершает процесс. Оператор **задержка (wait for)** приостанавливает процесс на указанное в нем значение задержки, оператор **ждать (wait until)** приостанавливает процесс до выполнения соответствующего условия. Как пример фрагмента модели, похожей на ту, что была упомянута нами ранее и использовалась С.А. Лебедевым для оценки вариантов структуры ЭВМ БЭСМ-6, в таблице 2 приводятся примеры описаний процесса чтения из ПЗУ (задержка 100 нс).

Таблица 2
Примеры функциональных описаний процесса чтения из ПЗУ

Язык	Пример описания процесса чтения из ПЗУ	Примечания
Авто код М	двоичный массив ПЗУ[4096,37]; двоичный РА[12],РЧ[37],ЧТ; ----- параллельно ЧтениеПзу, Продолжить; ----- ЧтениеПзу:ждать(ЧТ=1);задержка 100; РЧ:=ПЗУ[РА]; финиш;	. строка символов ---- для наглядности разделяет части примера. сам процесс чтения из ПЗУ порождается оператором параллельно и прекращается оператором финиш
VHDL	Process (RD) begin if RD='1' then wait for 100 ns; PH<=PZU(PA);end if; end process;	Предполагается, что РА типа целый, PZU-массив
VERI LOG	always @(posedge RD) begin #100; PH<=PZU[PA];end	reg[1:37]PH; reg [1:37]PZU[1:4096];

Первые отечественные языки и системы моделирования на уровне регистров (RTL модели) в целом соответствовали уровню соответствующих зарубежных систем, но конечно, с современной точки зрения имели много недостатков. Не было независимо компилируемых модулей, средств структурного описания моделируемых систем. Используемый двоичный алфавит моделирования не позволял просто описывать тристабильные буфера и неопределенные состояния сигналов. Максимальная разрядность двоичных переменных не превышала разрядности инструментальных ЭВМ, которые использовались в монопольном режиме и т.д.

Кроме языков RTL уровня в сборнике [4] были представлены две системы логического уровня моделирования. В системе МОЛК схема описывалась в форме списка цепей (довольно непривычный для моделирования способ) – проводников, связывающих входы элементов с выходами. Сопоставление выходных сигналов с типами генерирующих их элементов описывалось в отдельном списке. Элементы схемы идентифицировались номерами. Так же у каждого типа элементов пронумеровывались их входы и выходы. Например, запись ВХ01[8]:=ВЫХИН[9]; ВХ00[8]:=ВЫХПР[12]; описывала цепи сигналов, поступающих на единичный и нулевой входы триггера номер 8. Отдельно указывалось соответствие номеров элементов их типам: например триггер ТГ [8], клапан 2И-И2ПР [12] и т.д. Сами модели элементов описывались на машинном языке и включались в систему разработчиками МОЛК. В системе имелся режим анализа полноты тестов методом имитации одиночных константных неисправностей.

В системе логического моделирования ЛМ схемы представлялись на языке булевских уравнений. Например, описание RS-триггера А1 с входным сигналом Р10, поступающим на вход установки S и сигналом Е22, поступающим на вход сброса R, выглядит так: $A1 = P10 \cdot E22 + (P10 + E22) \cdot A1$; на VHDL это можно представить следующим образом: $A1 \leq P10 \text{ and not } E22 \text{ or } (\text{not } P10 \text{ or not } E22) \text{ and } A1$; на VERILOG соответственно $assign A1 = (P10 \& \sim E22) | ((\sim P10 | \sim E22) \& A1)$.

В обеих системах логического моделирования использовался интервальный метод моделирования схем в двоичном алфавите без явного учета задержек сигналов. Для ускорения применялось предварительное автоматическое ранжирование описаний. Повышение компактности описаний достигалось за счет возможности сокращенной формы записи повторяющихся фрагментов схем. Однако нельзя не отметить те же недостатки, что были отмечены ранее в языках функционального уровня: примитивность форм описания, двоичный алфавит моделирования и т.д. Большой вклад в работы по автоматизации логического моделирования ЭВМ, синтеза и анализа тестов внес коллектив ИНЭУМ под руководством Д.М. Гробмана [9]. Всего, начиная с 1959 г., было создано пять систем моделирования, синтеза и анализа тестов с использованием ЭВМ М-2, БЭСМ-4, М-4030 (с адаптацией программ для ЕС-ЭВМ). Наиболее совершенной была последняя система, разработанная в начале 80-х годов. Она была рассчитана на моделирование, анализ и синтез тестов цифровых схем, у которых общее количество выходных контактов ИС достигало 30000. Разработанные в ИНЭУМ автоматизированные системы моделирования синтеза и анализа тестов использовались в институте при отладке блоков элементов ЭВМ М-5, ЭВМ серии АСВТ-М, различных моделей СМ-ЭВМ. Кроме ИНЭУМ данные системы применялись в НПО «Агат», НИИСчетмаш и других организациях.

IV. РАЗВИТИЕ ПАКЕТНЫХ И ДИАЛОГОВЫХ СИСТЕМ МОДЕЛИРОВАНИЯ

Следующее поколение отечественных систем моделирования аппаратуры реализовалось на ЭВМ с операционными системами, обеспечивающими сначала пакетный режим, а потом и диалоговый режим работы пользователя. Что касается функционально-логического уровня моделирования, то типичным представителем этого класса языков был АЛГОРИТМ-80 в САПР ТАИС, реализованный в начале 80-х годов А.А. Летичевским и применявшимся при моделировании проекта макроконвейерной ЭВМ В.М. Глушкова. К сожалению, авторам статьи не удалось найти описания этого языка. Известны попытки создания нескольких отечественных языков и систем моделирования регистрового уровня на ЕС ЭВМ.

Среди практически реализованных следует отметить язык OCC-2 [10] О.Н. Юрина, позиционировавшийся как многоуровневый язык описания с возможностью построения как алгоритмических (RTL), так и схемных описаний. На RTL уровне описание строилось из модулей. В составе модуля располагалась последовательность сложных операторов. Внутри сложного оператора находились простые операторы типа оператора присваивания. Они выполнялись параллельно, каждый со своими задержками. Следующий составной оператор мог выполняться только после завершения всех простых операторов (скобочная форма параллелизма, аналог пары fork-joint в VERILOG). Схемное описание строилось как система логических уравнений (как в языке ЛМ [4], рассмотренном ранее). Так как язык OCC-2 не базировался на известные языки программирования (в рассмотренных ранее системах первого поколения это был Алгол-60), он был сложен в освоении. Что касается языка ФОРЭС [11], предложенного И.Я. Ландау и метода моделирования ЦВМ с переменной детализацией ее блоков Г.К. Григаса [12], то авторам статьи неизвестны сведения о их реализации и применении. Начинаясь работы по RTL уровню языка MPL/1, строившегося как программно-ориентированное расширение языка программирования PL/1 и языку МОДИС-ВЕС, являвшегося развитием языка МОДИС с введением средств учета задержек сигналов и многозначного алфавита моделирования. Но они не были доведены до стадии конечной реализации. Это можно объяснить не только местными интересами различных министерств и организаций («даже если ваша система будет лучше нашей, мы все равно будем использовать нашу»), но и недостатком наработок в области логического синтеза на базе RTL описаний. В этом смысле появление в США в середине 80-х годов общего стандарта – языков описания аппаратуры VHDL и VERILOG у нас в стране в то время осталось как бы незамеченным, а в 90-е годы «смутного времени» было не до них. Можно лишь отметить созданную по инициативе Ю.А. Татарникова [17] Российскую ассоциацию пользователей языка VHDL и программу VHDL-анализатор, разработанную В.А. Пеженковым.

Более успешными были работы в области логического уровня описания и моделирования схем, т.к. они кооперировались с конструкторским уровнем проектирования за счет использования одного и того же описания для двух задач. Количество отечественных САПР этого уровня исчислялось десятками. Из них можно выделить ЕСАП разработки НИИЦЭВТ, САПРы БИС: ТОПАЗ, КОМПАС-82, ПРАМ-2, РАПИРА-2, КОНДИЦИЯ, ФЛП-3000 и др.

Типичным представителем этого поколения языков логического уровня описаний аппаратуры можно считать язык диалоговой системы моделирования ПУЛЬС [13-15], реализованной в начале 1980-х годов Г.Л. Лакшиным и коллегами в ИТМиВТ на ЭВМ БЭСМ-6. Система ПУЛЬС входила в состав САПР КОМПАС-82 и использовалась как в ИТМ и ВТ при проектировании ЭВМ серии «Эльбрус» и специальных ЭВМ, так и в других организациях. В ПУЛЬС реализовано трехзначное представление

значений сигналов (0, 1, X – неопределенность) с учетом номинальных задержек базовых элементов. Использовался метод моделирования по событиям. Отличительной особенностью этой системы был многопользовательский диалоговый режим с интерактивной работой пользователей на алфавитно-цифровых дисплеях, мощная база данных, сопряжение с системой автоматизации конструкторского этапа проектирования, наличие режима анализа полноты тестов методом имитации одиночных константных неисправностей. Система моделирования ПУЛЬС имела как бы два языка пользователя: язык описания схем – это обычный способ кодирования связей элементов проектируемого объекта и язык описания моделей элементов (объектов низшего уровня). Основными особенностями языка являются использование индексации, обеспечивающей компактность описаний и единообразное описание объектов различных уровней иерархии. Описание каждого объекта состоит из заголовка и схемы (описание базового элемента – только из заголовка). В заголовке определяются входные и выходные сигналы объекта и форма обращения к нему. В описании схемы перечисляются объекты и базовые элементы (в соответствии с их заголовками), из которых состоит описываемый объект. Такая запись аналогична обращению к процедурам в языках программирования, поэтому в дальнейшем при описании объекта будет применяться термин «обращение». При обращении к объекту указываются имена реальных сигналов, подаваемых на данную схему, согласование сигналов схемы осуществляется по именам. В архиве описаний элементов было более 500 компонентов, включая БИС и микропроцессоры.

Более поздним типичным представителем логического уровня моделирования можно считать язык моделирования ОЦИС-РП, реализованный в конце 80-х годов в САПР БИС ФЛП-3000 [16]. В системе использовалось как трехзначное (0, 1, X) так и пятизначное представление уровня сигналов (0, 1, X, (переключение из 0 в 1)/(из 1 в 0)), возможность как алгоритмического, так и структурного способа описаний элементов – функциональных узлов, из которых строится описание схемы. Последние версии Зеленоградских систем моделирования использовали 9-тизначный алфавит.

В качестве примера в таблице 3 представлены описания комбинационного узла (схема рис. 1), реализующего функцию 2И2ИЛИ(AND2OR2) на ПУЛЬС, ОЦИС-РП и на HDL. На языке ПУЛЬС дано только функциональное описание узла. На ОЦИС-РП представлены два варианта описания узла – алгоритмическое – функция 2И2ИЛИ и структурное – как схема из двух библиотечных элементов БМК – W15 и V2, реализующих соответственно функции 2И2ИЛИ-НЕ и НЕ.

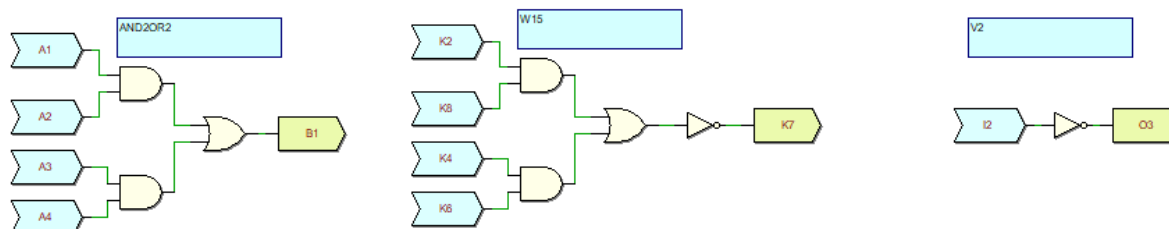


Рис 1. Схемы: слева – элемент проекта 2И2ИЛИ (and2or2), в середине – цифровые элементы ячеек БМК (W15 и V2), из которых создано структурное описание элемента проекта 2И2ИЛИ

Таблица 3
Примеры описаний узла 2И2ИЛИ – библиотечного элемента схемы

Язык описания	Пример	Примечания
ПУЛЬС	"ЗАГОЛОВОК СХ1" В:1:=2И2ИЛИ[A:1-4 :]. В1=A1 *A2 +A3 *A4.	Первая строка – заголовок. Вторая строка описывает интерфейс объекта, третья – его функцию
ОЦИС-РП	ФУ: 2И2ИЛИ (A1,A2,A3,A4,B1)# АЛГОРИТМ: A[1] & A[2] ! A[3] & A[4]=>B1(TZ=25,R=5)# КОНЕЦ# ----- ФУ: 2И2ИЛИ (A1,A2,A3,A4,B1)# ЯЧЕЙКА/BANK.bmK/: D1=>W15(K2=A1;K8=A2;K4=A3;K6=A4,K7=D1_7);	Алгоритмическое описание узла 2И2ИЛИ в примере включает так же задержку узла TZ=25 нс. ----- Схемное описание узла 2И2ИЛИ состоит из базовой ячейки БМК типа W15 с входными контактами K2,K8, K4,K6 и выходом

	D2=>V2(I2=D1_7;O3=B1)# КОНЕЦ#	К7,реализующую функцию 2ИИЛИ-НЕ и ячейки инвертора V2 с контактами вход I2 и выход O3
VHDL	<pre>Library IEEE; use IEEE STD_LOGIC_1164.all; Entity AND2OR2 is Port(A:in std_logic_vector (1 to 4); B1: out std_logic); end; Architecture BEH of AND2OR2 is Begin B1 <= (A(1)and A(2)) or (A(3) and A(4)) after 25 ns; End; ----- Architecture STRUCTURAL of AND2OR2 is signal D1_7 : std_logic; Begin M1:W15 port map (K2=>A(1),K8=>A(2),K4=>A(3),K6=>A(4),K7=>D1_7); M2:V2 port map(I2=>D1_7,O3=>B1); End;</pre>	<p>Алгоритмическое (поведенческое) описание узла AND2OR2, реализующего функцию 2ИИЛИ в 9-тизначном алфавите в примере включает задержку узла 25 нс.</p> <p>-----</p> <p>Структурное описание узла AND2OR2 состоит из инсталляций компонентов W15 и V2 и использует поименованное сопоставление портов компонентов сигналам.</p> <p>Описание самих компонентов W15 и V2 опущено для краткости</p>
VERIL OG	<pre>timescale 1 ns/100 ps module AND2OR2 (input [1:4]A,output B1); assign #(25) B1=(A[1] & A[2]) (A[3] & A[4]); endmodule //////////////////////////////////// module AND2OR2_S (input [1:4]A,output B1); wire D1_7; W15 M1 (.K2(A[1]),.K8(A[2]),.K4(A[3]),.K6[A4],.K7(D1_7); V2 M2(.I2(D1_7),.O3(B1)); endmodule</pre>	<p>Алгоритмическое описание узла AND2OR2, реализующего функцию 2ИИЛИ в 4-хзначном алфавите в примере включает задержку 25 нс.</p>

На этом этапе было внедрено многозначное событийное моделирование логических схем с учетом задержек сигналов, пакетный и диалоговые режимы работы пользователей, реализовано сопряжение логического и конструкторского проектирования. Однако вопрос о стандартизации в этой области и разработки отечественного высокоуровневого универсального языка описания аппаратуры не был решен.

V. СИСТЕМЫ ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ НА ПЭВМ

С появлением персональных вычислительных машин на них стали реализовываться и системы моделирования ЦА логического уровня. Среди них можно отметить СИМПАТИЮ – систему моделирования и проектирования тестов для цифровых устройств на БИС. Она была разработана в НПО «АЛМАЗ» А.Г. Биргером на ПЭВМ IBM-PC AT (процессор Intel 486) в начале 1990-х. Использовался четырехзначный алфавит моделирования (0, 1, X, Z), допускалось моделирование с единичными или номинальными задержками, проверкой временных соотношений сигналов (время предустановки-удержания и т.п.). Анализ тестов осуществлялся методом введения одиночных константных неисправностей и оценкой полноты тестов по критерию переключений. Библиотека элементов содержала более 700 моделей микросхем СИС и БИС. Алфавитно-цифровое описание схемы могло вводиться пользователем на языке системы или импортироваться из других САПР (P-CAD, OrCAD, SL-2000).

Другим примером подобной системы можно считать пакет прикладных программ «Логический анализ цифровых схем» (ППП ПРОПЛАН), реализованный В.М. Аничковым и др. на СМ 1700 в НПО Центрпрограммсистем. В системе имелся набор моделей базисных элементов (от вентиля И, ИЛИ, НЕ до счетчиков, ОЗУ, ПЗУ, ПЛИМ, из которых пользователь создавал текстовое описание схемы).

Однако с середины 90-х большинство отечественных организаций стали использовать зарубежные САПР (фирм SYNOPSYS, CADENCE, MENTOR GRAPHICS и др.) и соответствующие системы моделирования, реализованные на рабочих станциях фирм SUN и ИБМ с описанием моделей на стандартных языках описания аппаратуры VHDL и VERILOG.

VI. СОВРЕМЕННЫЕ СИСТЕМЫ МОДЕЛИРОВАНИЯ НА БАЗЕ HDL VHDL И VERILOG

В настоящее время самой продвинутой отечественной САПР, в состав которой включены системы HDL описаний, моделирования и синтеза ПЛИС, можно считать DELTA DESIGN [18], позиционирующей себя как комплексная среда сквозного проектирования электронных устройств и в том числе печатных плат. Она включает в себя множество отдельных модулей – начиная от ведения библиотек и заканчивая подготовкой данных для производства. В состав этой САПР входит система цифрового моделирования SIMTERA [19, 20]. Поддерживаются языки описания аппаратуры VHDL, VERILOG, System Verilog и расширение VERILOG, ориентированное на моделирование аналоговых систем: Verilog-AMS. Помимо возможности текстового способа описания проекта на HDL пользователь имеет возможность схемотехнического (блок-диаграммного, графического) способа описания проекта. Обеспечена стыковка с САПР ПЛИС фирмы МИЛАНДР и ПЛИС других отечественных и зарубежных фирм.

SIMTERA находится в состоянии комплексной отладки – язык VHDL реализован почти полностью (2003 года), другие компоненты в стадии бета-тестирования. Пока по степени отлаженности системы, скорости компиляции проекта и моделирования SIMTERA сильно уступает аналогичным параметрам ведущих зарубежных систем моделирования (Modelsim, Active-HDL, XSIM), но разработчики обещают скоро устранить эти недостатки.

VII. ВЫВОДЫ И ЗАКЛЮЧЕНИЯ

Отечественные языки и системы моделирования цифровой аппаратуры прошли большой путь в своем развитии – от двузначного до многозначного алфавита представления значений сигналов, от алгоритма моделирования по интервалам времени до моделирования по событиям с учетом задержек элементов, от многообразия форм описаний до стандартных языков описания аппаратуры, на базе которых ведется не только моделирование, но и синтез и формальная верификация проектов.

Если в начале отечественные языки и системы моделирования цифровой аппаратуры почти не уступали по возможностям системам, разработанным в США, то провал 90-х годов привел к сильному отставанию. Одной из непоправимых потерь был распад ведущих коллективов в организациях (ИТМ и ВТ, НИИАА и др.). Что касается работ в области унификации языков и систем моделирования, то кроме местничества трудно объяснить, почему стандартные языки описания аппаратуры не были реализованы в СССР, хотя Н.Я. Матюхин в проекте МОДИС ВЕС и пытался создать стандартный язык для МРП. Создание современных САПР, в состав которых входят и системы HDL описания, моделирования и синтеза представляется весьма сложной задачей. Например, трудоемкость создания САПР ПЛИС VIVADO фирмы XILINX (вошла в состав AMD), одной из компонентов которой является симулятор XSIM, оценивается в 1000 человеко-лет, а ее стоимость в 200 миллионов долларов [21]. На фоне таких цифр усиление поддержки отечественных разработчиков в этой области представляется актуальным и необходимым.

СПИСОК ЛИТЕРАТУРЫ

1. Рябов Г.Г. Начало автоматизации проектирования // С.А. Лебедев – творец отечественных ЭВМ. М.: ИТМ и ВТ, 1990. С. 126-128.
2. Gordon G. A General Purpose Systems Simulation Program. Proc. Eastern Joint Computer Conference. December 1961.
3. Connolly T.A. Automatic System and Logical Design Technique for RW-35 Computer System. The International Convention Record. Vol. 8. Pt. 2. 1960.
4. Применение вычислительных машин для проектирования цифровых устройств. Сб. статей под ред. Н.Я. Матюхина. М.: Советское радио, 1968. С. 5-123.
5. Поляков А.К. Универсальная система автоматизации моделирования ЦВМ. Доклады 5-ой межвузовской конференции по применению физического и математического моделирования. М.: МЭИ. 1968. С. 51-71.
6. Поляков А.К. Система автоматизации моделирования ЦВМ на ЦВМ. Цифровая вычислительная техника и программирование. Вып. 4. М.: Советское радио, 1968.
7. Салихджанова Р.О., Чумаков Л.Я. Автоматизация проектирования блока микропрограммного управления для М-4000 // Автоматизация проектирования и контроля ЭВМ. Труды ИНЭУМ. Вып. 23. 1972.
8. Шигин А.Г. Цифровые вычислительные машины. М.: Энергия, 1971. 320 с.
9. Басок Б.М. Отдел диагностического контроля Д.М. Гробмана и его школа // computer-museum.ru/articles/predpriyatiya-i-nii/2140
10. Юрин О.Н. Единая система автоматизации проектирования ЭВМ. М.: Советское радио, 1976. 176 с.

11. Ландау И.Я. Применения ЦВМ при проектировании ЦВМ. М.: Энергия, 1974. 152 с.
12. Григас Г.К. Моделирование ЦВМ с переменной детализацией ее блоков. М.: Вопросы Радиоэлектроники. Серия Электронная вычислительная техника. Вып. 2. С. 60-70.
13. Рябов Г.Г., Лакшин Г.Л. Поэлементное моделирование вычислительных систем. М.: ИТМ и ВТ АН СССР, 1978. 90 с.
14. Рябов Г.Г., Лакшин Г.Л., Конопкин В.Н., Капишевская А.П. Принципы построения системы «Пульс». Электронная техника. Сер. 10. Вып. 5. 1982.
15. Рябов Г.Г., Лакшин Г.Л., Конопкин В.Н., Коротаяев Ю.С. Система Логического Проектирования Высокопроизводительных Вычислительных Комплексов. В сборнике «Электронная вычислительная техника». Вып. 1. М.: Радио и связь, 1987. С. 142-150.
16. Савельев П.В., Коняхин В.В. Автоматизация проектирования БИС. Книга 2. Функционально-логическое проектирование БИС. М.: Высшая школа. 1990. 156 с.
17. Татарников Ю.А., Рындин А.А. Описание и моделирование цифровых систем на языке VHDL: Учеб. пособие / Гос. ком. Рос. Федерации по высш. образованию. Воронеж. гос. техн. ун-т, Междунар. ун-т высоких технологий. Воронеж: Воронеж. гос. техн. ун-т, 1994. 70 с.
18. САПР Дельта Дизайн // www.erehex.ru
19. Малышев Н. Цифровое моделирование цифровых и цифро-аналоговых узлов в системе Delta Design Simtera .Современная электроника. № 1. 2021. С. 60-62.
20. Малышев Н., Поляков А. Библиотеки HDL-тестов для систем моделирования цифровой аппаратуры. Современная электроника. 2023. № 3. С. 12-14.
21. URL https://en.wikipedia.org/wiki/Xilinx_Vivado